

⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-236154

⑬ Int. Cl.<sup>4</sup>

H 01 L 27/06  
27/08  
27/10

識別記号

1 0 3  
1 0 2

庁内整理番号

6655-5F  
6655-5F  
6655-5F

⑭ 公開 昭和61年(1986)10月21日

※審査請求 未請求 発明の数 1 (全10頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-76567

⑰ 出 願 昭60(1985)4月12日

⑱ 発 明 者 池 田 隆 英 日立市久慈町4026番地 株式会社日立製作所日立研究所内  
⑱ 発 明 者 内 田 英 明 高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑱ 発 明 者 小 野 沢 和 徳 高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑱ 発 明 者 小 高 雅 則 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内  
⑱ 発 明 者 丹 場 展 雄 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内  
⑱ 発 明 者 平 石 厚 日立市久慈町4026番地 株式会社日立製作所日立研究所内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 半導体基板に一の導電型の埋込層と、その上に同一導電型のウェルを形成し、このウェル内に回路素子を形成してなる半導体装置であって、前記埋込層の下側に逆の導電型でかつこの埋込層よりも不純物濃度の低い逆導電型埋込層を形成したことを特徴とする半導体装置。
2. P型シリコン基板上にP型埋込層とその上にP型ウェルを形成し、このP型ウェル内にN型MOSトランジスタを構成すると共に、前記P型埋込層の下側にN型埋込層を形成してなる特許請求の範囲第1項記載の半導体装置。
3. 逆導電型埋込層に逆バイアス電圧を印加してなる特許請求の範囲第1項又は第2項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置に関し、特にN型MOSト

ランジスタをメモリセルとして構成した半導体記憶装置に有効な技術に関するものである。

〔背景技術〕

半導体記憶装置(メモリ装置)の一つとしてN MOS型トランジスタをメモリセルに使用するスタティック・ランダム・アクセス・メモリ(SRAM)が知られている。この技術は、NMOS型トランジスタの高集積化が可能な点および高速動作が可能な点でSRAMの大容量化・高速化に通じている。しかし、近年のメモリ装置の大容量化により、メモリセルの微細化が進められ、メモリセル内で情報を保持するキャパシタの容量も小さくなり、メモリ装置はα線や宇宙線による情報破壊、いわゆるソフトエラーに弱くなってきている。

このため、特開昭58-7860号公報には、MOSトランジスタを構成する一の導電型ウェルの下側に他の導電型の埋込層を形成することにより、基板からMOSトランジスタへのキャリアの移動を阻止してソフトエラーの防止を図る試みがなされているが、この構成では埋込層の上側に接して

ウェルが形成されておりかつこのウェルは通常不純物濃度が低いために、MOSトランジスタのソース・ドレイン領域と埋込層との間でパンチスルーが生じ、MOSトランジスタの特性上有効ではない。

一方、本出願人らは、1枚の半導体基板上にバイポーラ型トランジスタとMOS型トランジスタを一体的に形成したBi-MOS型半導体装置、特にMOS型トランジスタをCMOS(相補型MOS)構造としたBi-CMOS型半導体装置の実用化を進めている。

この本出願人らの開発したBi-CMOS技術のデバイス構造の特徴は、P型半導体基板上にN型エピタキシャル層を有し、バイポーラ型トランジスタとNMOS型トランジスタの形成領域にN型ウェルとN型埋込層を有し、かつ、PMOS型トランジスタの形成領域下にはP型ウェル層とP型埋込層を有したダブルウェル、ダブル埋込型となっていることである。このような構成とすることにより、各素子の特性を向上させるとともに

を除去する。次にこのシリコンナイトライド膜をマスクとしてN型不純物を基板内に導入してN型埋込層を形成する。そしてさらにこの膜をマスクに該領域上に比較的厚い酸化膜を形成する。次に残存しているシリコンナイトライド膜を除去し、前記厚い酸化膜をマスクにP型不純物を導入してP型埋込層を形成する。エピタキシャル層形成後のN型ウェル、P型ウェルの形成も同様に行なうことができる。

そこで、本出願人らは、このBi-CMOS技術を用い、メモリセルをNMOS型トランジスタで構成するSRAMについて、その耐 $\alpha$ 線強度について検討した。

その結果メモリセルのN型MOSトランジスタは低不純物濃度基板( $5 \times 10^{14} / \text{cm}^3$ )に設けたP型埋込層上に形成したP型ウェル内に形成しているが、このP型埋込層の不純物濃度を所定値以上に増大することができないため、 $\alpha$ 線による情報破滅、いわゆるソフトエラーを有効に防止することができないことがわかった。即ち、P型埋込

層の寄生効果をも防止している。すなわち、バイポーラ型トランジスタでは、コレクタ領域に寄生するコレクタシリーズ抵抗 $r_{cs}$ を低下させトランジスタの高速動作を可能にする。一方、MOS形成領域においては、CMOS特有のラッチアップ現象をN、P両埋込層を設けることで、この部分の抵抗値を下げ寄生PNP、NPNトランジスタの増幅率 $h_{fe}$ を低下させ、寄生サイリスタの発生を防止する。さらにバイポーラ型トランジスタとMOS型トランジスタのアイソレーションは、P型ウェル層とP型埋込層を使用しているため、特別のアイソレーション工程も必要としない。製造工程も特徴的でP型埋込層とN型埋込層を一つのマスクを使用したセルフアラインで形成し、かつ、このマスクをP型ウェル層とN型ウェル層の形成時にも使用し、マスク枚数を低減している。具体的には下記の工程を経る。P型半導体基板上に薄い表面酸化膜とシリコンナイトライド膜を形成しマスクを用いて、シリコンナイトライド膜のPMOS型トランジスタ、アイソレーション各領域部分

層の不純物濃度(現行 $\sim 5 \times 10^{18} / \text{cm}^3$ )を増大すると、エピタキシャル層成長時における埋込層不純物のオートドーピング、いわゆるわき上がりが大きくなり、有効なエピタキシャル層の厚さ、換言すれば埋込層上に形成するP型ウェルの深さが低減されることになる。そして、このようにウェル深さが低減されると、ここに形成したN型MOSトランジスタの接合容量が増大して動作の高速化が損なわれ、あるいはしきい値電圧のバラツキが大きくなる。特にしきい値電圧の安定化のためには有効エピタキシャル層の厚さは $1.5 \mu\text{m}$ 以上は必要である。

このように、P型埋込層の不純物濃度が抑制されることにより、シリコン基板に作用する $\alpha$ 線によって生成されたキャリアが埋込層、ウェルを通してN型MOSトランジスタのソース・ドレイン領域に到達し、記憶情報を消去する等のソフトエラーが生じることになる。また、このようなキャリアは $2 \sim 4 \mu\text{m}$ の厚さに形成されたP型ウェル内でも発生することがある。

このため、特開昭58-7860号公報には、MOSトランジスタを構成する一の導電型ウエルの下側に他の導電型の埋込層を形成することにより、基板からMOSトランジスタへのキャリアの移動を阻止してソフトエラーの防止を図る試みがなされているが、この構成では埋込層の上側に接してウエルが形成されておりかつこのウエルは通常不純物濃度が低いために、MOSトランジスタのソース・ドレイン領域と埋込層との間でパンチスルーが生じ、MOSトランジスタの特性上およびソフトエラー対策上有効ではない。

#### 〔発明の目的〕

本発明の目的は特にN型MOSトランジスタにおけるソフトエラーを有効に防止し得ると共に、N型MOSトランジスタにおけるしきい値電圧の安定化等の特性の向上を図ることのできる半導体装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

トランジスタ $Q_P$ を構成している。また、前記N型埋込層2やN型ウエル3のアイソレーションとして比較的の不純物濃度の高いP型埋込層4を形成しかつその上にP型ウエル5を形成し、メモリセルを構成するN型MOSトランジスタ $Q_N$ をこのP型ウエル5内に形成している。

前記バイポーラトランジスタ $Q_B$ はN型コレクタ層6、P型ベース層7およびN型エミッタ層8からなり、またP型MOSトランジスタ $Q_P$ はゲート9やP型ソース・ドレイン領域10とを有している。さらに、N型MOSトランジスタ $Q_N$ はゲート11やN型ソース・ドレイン領域12を有している。そして、このN型MOSトランジスタ $Q_N$ をその内部に構成している前記P型ウエル5とP型埋込層4の下側には、これとは逆導電型のN型埋込層13を形成している。このN型埋込層13は、第2図にその縦方向の不純物濃度分布を示すように、前記P型埋込層4よりも幾分低い濃度に構成しており、そして、このN型埋込層13の一部には基板1の表面に到るN型コンタクト層

#### 〔発明の概要〕

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば下記のとおりである。

すなわち、MOSトランジスタを形成するウエルおよびその下側に設けた同一導電型埋込層の下側に、これよりも不純物濃度の低い逆導電型の埋込層を形成することにより、逆導電型埋込層のバリア作用によって基板からMOSトランジスタへのキャリアの移動を阻止してソフトエラーの防止を図る一方で、この逆導電型埋込層とMOSトランジスタとの間の高い濃度の埋込層の存在によって両者間でのパンチスルーを防止してMOSトランジスタの特性の向上を図ることができる。

#### 〔実施例1〕

第1図は本発明をBi-CMOS(バイポーラ・相補型MOS混合)型半導体装置、特にSRAMに適用した実施例である。P型シリコン基板1内に比較的の不純物濃度の高いN型埋込層2を形成してその上にN型ウエル3を形成し、ここにバイポーラトランジスタ $Q_B$ やP型MOSトランジスタ

14を形成し、このN型コンタクト層14を通してN型埋込層13に逆バイアス電圧(5V)を印加している。

なお、逆導電型のN型埋込層13はP型埋込層4の全領域下にわたって形成する必要はなく、少なくともメモリセルとしてのN型MOSトランジスタ $Q_N$ 下側に形成すればよい。

図中、16はエビタヤシヤル層、17はゲート $SiO_2$ 膜、15は素子間分離用のシリコン酸化膜であり、上層の絶縁膜や配線膜の図示は省略している。

以上の構成によれば、 $\alpha$ 線の作用によってシリコン基板1内に電子やホール等のキャリアが発生しても、P型埋込層4やこの下に設けた逆導電型のN型埋込層13の作用によって電子やホールはP型ウエル5ないしN型MOSトランジスタ $Q_N$ へ向っての移動が阻止され、メモリセルとしてのN型MOSトランジスタ $Q_N$ における記憶情報の消去等のいわゆるソフトエラーを防止することができる。特にN型埋込層13に

よるキャリアの阻止作用は、N型埋込層13を逆バイアスに維持していることから大なる効果を得ることができるが、逆バイアスを印加せずにN型埋込層13をフローティング(0V)状態としても十分な効果を得ることができる。実験によれば、N型埋込層13を有しない場合に比較して耐 $\alpha$ 線強度を3桁以上、また通常のCMOS半導体装置に比べて1桁以上向上することができた。

一方、前記N型埋込層13はP型埋込層4よりも低濃度に保っていることから、N型埋込層13とN型MOSトランジスタ(N型ソース・ドレイン領域12)  $Q_N$  間でのパンチスルーの発生を抑制することができ、N型MOSトランジスタ  $Q_N$  の信頼性(記憶保持性)を助長する。

また、このようにN型MOSトランジスタ  $Q_N$  を形成するP型ウェル5下にP型埋込層4を有する構成では、従来のCMOS半導体装置、特に前述の特開昭58-7860号公報に記載のような半導体装置に比較してP型ウェルを浅く形成でき、これによりP型ウェル5内において生じるキャリ

埋込層2aは前記低濃度のN型埋込層13と重なるように形成する。

しかる上で、同図(4)のように表面を酸化してN型埋込層2の表面に厚い  $SiO_2$  膜24を形成し、 $Si_3N_4$  膜23を除去した後この  $SiO_2$  膜24をマスクとしてボロン(B) 50 KeV、 $3 \times 10^{15}/cm^2$  でイオン打込みし、イオン打込み層25を形成する。そして、これを1000℃、15分で熱処理することにより、同図(4)のように前記N型埋込層2間に高濃度のP型埋込層4を形成する。このとき、P型埋込層4の一部は前記低濃度のN型埋込層13上に形成されることとなる。

次に、同図(4)のように、シリコン基板1上にエピタキシャル層16を成長させる。このとき、前記N型、P型の各埋込層2、4はオートドーピングによるわき上がりによってその厚さが上方に増大される。そして、同図のように表面に  $SiO_2$  膜26と  $Si_3N_4$  膜27を形成し、 $Si_3N_4$  膜27をパターンニングした上でりん(P)を125 KeV、 $3 \times 10^{11}/cm^2$  でイオン打込みしイオン打込み層

28を形成する。そして、これを熱処理して同図(4)のようにN型ウェル3、3aを形成すると共に表面に厚い  $SiO_2$  膜29を形成し、 $Si_3N_4$  膜27を除去した後この  $SiO_2$  膜29をマスクとしてボロン(B)を60 KeV、 $8 \times 10^{15}/cm^2$  でイオン打込みしてイオン打込み層30を形成する。その後、熱処理することにより、同図(4)のようにP型ウェル5を形成する。

次に、前記実施例装置の製造方法を第3図(A)~(I)を用いて説明する。

まず、第3図(A)のように、P型シリコン基板1の表面に  $SiO_2$  膜20を形成し、その上にフォトリソグラフ膜21を形成してこれをパターンニングし、メモセルとしてのN型MOSトランジスタ形成部位を開口する。そして、りん(P)を100 KeV、 $1 \times 10^{15}/cm^2$  でイオン打込みしてイオン打込み層22を形成する。そして、これを1200℃で約4時間の熱処理を施すことにより、同図(B)のように低濃度のN型埋込層13を約4  $\mu m$  の深さに形成する。

次いで、 $Si_3N_4$  膜23を形成し、これを同図(C)のように  $SiO_2$  膜20と共にフォトリソグラフィ技術によりパターンニングする。その上に図外の  $Sb_2O_3$  膜を堆積しかつこれを基板表面に拡散することにより前記N型埋込層13よりも高濃度のN型埋込層2を形成する。このとき、一部のN型

28を形成する。そして、これを熱処理して同図(4)のようにN型ウェル3、3aを形成すると共に表面に厚い  $SiO_2$  膜29を形成し、 $Si_3N_4$  膜27を除去した後この  $SiO_2$  膜29をマスクとしてボロン(B)を60 KeV、 $8 \times 10^{15}/cm^2$  でイオン打込みしてイオン打込み層30を形成する。その後、熱処理することにより、同図(4)のようにP型ウェル5を形成する。

次に、同図(I)のように、素子間分離用の  $SiO_2$  膜15をLOCOS法等により形成し、ゲート  $SiO_2$  膜17、ゲート9、11を通常の方法により形成する。

更に、表面にフォトリソグラフ膜31をパターン形成した上で、前記N型ウェル3、3aの一部にりん(P)を60 KeV、 $5 \times 10^{15}/cm^2$  でイオン打込みしかつこれを活性化することにより、N型ウェル3にはN型コレクタ層6を形成し、N型ウェル3aにはN型埋込層4の一部4aを介して低濃度N型埋込層13に接続されるN型コンタクト層14を形成する。

以下、P型ベース層7、P型ソース・ドレイン領域10、N型ソース・ドレイン領域12、N型エミッタ層8更に図外の絶縁膜や上層配線を通常の方法によって形成することにより、第1図に示したBi-CMOS半導体装置を構成することができる。

本製造方法によれば、最初にメモリセル位置に低濃度のN型埋込層13を形成しておけば、これまでのBi-CMOS半導体装置と全く同一の工程で製造することができる。但し、高濃度のN型埋込層2の形成時およびN型コレクタ層6の形成時には、N型埋込層2a、N型コンタクト14を形成するために若干のマスク変更は必要である。しかしながら、逆バイアスを印加しない場合にはこれも不要である。

上記実施例ではP<sup>+</sup>型埋込層4の下にN<sup>-</sup>型埋込層13をりんを $1 \times 10^{18} / \text{cm}^3$ 導入することにより形成したが、第2図で点線で示すようにこの不純物濃度より濃いN<sup>+</sup>型埋込層をアンチモン(Sb)で形成しても同様な効果が得られる。第4

#### 〔実施例2〕

次に、第5図、第6図、第7図を用いて他の一実施例について示す。

第5図(A)、第6図、第7図はN型基板21を用いたソフトエラーに強いBi-CMOS構造を示す。

これらの構造の特徴は高電位( $V_{cc}=5V$ )の基板41を用いて、メモリセルを構成するNMOSTランジスタ $Q_N$ 下には接地電位(0V)に接続されたP型ウェル5とP型埋込層4又はP型層43、44を設け、基板に発生した電子をポテンシャル障壁( $\phi = \phi_{bi} + \phi V_{cc} > 5.6V$ )によりP型ウェル4内への進入を阻止することにある。さらに注目すべきは、PMOSTランジスタ $Q_P$ 、バイポーラトランジスタ $Q_B$ のN型埋込層2下にも、P型層42、43、44が逆バイアスされているため、これらの素子のソフトエラーにも強い構成となっていることにある。尚、前記実施例と同一部分は同一番号を付し、説明は略す。

以下、第5図(A)の製造工程の要部を第5図(A)~

図は、NMOSTランジスタ下に上記N<sup>-</sup>(N<sup>+</sup>)型埋込層を有するメモリセル部分の各層におけるコンダクション・バンド(C・B)、フェルミ・エネルギー( $E_F$ )、バレンス・バンド(V・B)のエネルギー順位を相対的に示したものである。エネルギー障壁 $\phi_{bi}$ はN<sup>+</sup>(N<sup>-</sup>)埋込層とP<sup>+</sup>型埋込層との電位障壁 $\phi_{bi} \sim 1.1V$ と電源電圧 $\phi V_{cc} \sim 5V$ の和6.1Vと大きくなり、基板に発生したキャリアをN<sup>+</sup>(N<sup>-</sup>)埋込層で完全にカットし、NMOSTランジスタで構成されるメモリセル部には入らない。

上記ではP型基板の場合について説明したが、N型基板を使用する時には、導電型をすべて逆にすれば、上記と同様な効果が得られる。この時にはNMOSTランジスタ下にはP<sup>-</sup>型のウェルとP<sup>+</sup>型埋込層、PMOSTランジスタ下にはN<sup>-</sup>型ウェル、N<sup>+</sup>型埋込層、P<sup>+</sup>型埋込層が形成される。各層に印加される電位も逆になり、N型基板、N<sup>-</sup>型ウェルには電源電位 $V_{cc}$ が、P<sup>+</sup>型埋込層には接地電位 $V_{ss}$ が印加される。

図を用いて説明する。

まず、第5図(A)のように、N型シリコン単結晶基板41の表面に $SiO_2$ 膜20を形成し、その上に、選択的に $Si_3N_4$ 膜23を形成する。この膜の開口部はPMOSTランジスタ $Q_P$ 、バイポーラトランジスタ $Q_B$ 形成領域下にあたる。そして、上記 $Si_3N_4$ 膜23をイオンインプランテーションのマスクとして用いて基板41内に導入し、熱拡散してP型層41を形成する。

次に、第5図(B)に示すように、この $Si_3N_4$ 膜23を再びイオンインプランテーションのマスクとして再度用い、N型埋込層4を形成する。

次に、熱酸化を行ない、前記開口部に他より膜厚の厚い $SiO_2$ 膜24を成長させた後 $Si_3N_4$ 膜23をとりのぞき、前記 $SiO_2$ 膜24をマスクに用いて第5図(C)に示すようにP型埋込層5を形成する。

この後は、P<sup>-</sup>型エピタキシャル層を成長させ、前記実施例1と同様にN型ウェル3、P型ウェル5等を形成していく。そして第5図(D)に示される

構成の半導体素子が形成される。

上記P型層41, N型埋込層4の形成工程は、同一のマスクで行なっているため、P型不純物を深く、N型不純物を浅く基板41にイオン打込みして、同一の熱処理で拡散させてもよい。この様にすると工程が簡単化される。

第6図に示される構成は、N型基板41全面全面にP型層42をイオン打込み、デポジションにより一旦形成し、その後、基板41表面にSiO<sub>2</sub>膜を形成した後、実施例1と同様にN型埋込層2、P型埋込層5等を順次形成して完成する。

第7図に示される構成は、N型基板41全面全面に深くP型層44を形成し、その後、N型埋込層2を形成し、エピタキシャル成長させた後、前記実施例1の様にN型ウェル3, P型ウェル5等を順次形成していくことに完成する。

このように、第5図(4), 第6図, 第7図のBi-CMOS構成の半導体装置を形成すれば、NMOSTランジスタQ<sub>N</sub>, PMOSTランジスタQ<sub>P</sub>, バイポーラトランジスタQ<sub>β</sub>はソフトエラ

ウェルの深さを特性上支障のない程度に浅くでき、これによりウェル内でのキャリアの発生を低減できる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 〔利用分野〕

以上の説明では主として本発明によってなされた発明をその背景となった利用分野であるBi-CMOS構成のS-RAMに適用した場合について説明したが、それに限定されるものではなく、D-RAMやBi-MOS型半導体装置、更にはCMOS装置等にも適用できる。

#### 図面の簡単な説明

第1図は本発明の一実施例装置の断面図、

第2図は不純物濃度分布図、

第3図(A)~(F)は製造工程を示す断面図、

第4図は本発明のエネルギー単位図、

一に対して強い構造が得られる。

#### 〔効果〕

(1) メモリセルとしてのN型MOSTランジスタを形成するP型ウェル、P型埋込層の下に逆導電型であるN型の埋込層を形成しているのので、従来基板からMOSTランジスタに到達していたキャリアをこのN型埋込層によって阻止することができ、これによりソフトエラーの原因となる耐α線強度を向上することができる。

(2) P型埋込層の下側に設けたN型埋込層の不純物濃度をP型埋込層よりも低くしているのので、N型埋込層とN型MOSTランジスタとの間のパンチスルーの発生を防止でき、特性の向上に有効である。

(3) N型埋込層を基板に対して逆バイアスに電圧印加することにより、基板に生じたキャリアの阻止作用を更に向上することができる。

(4) メモリセルとしてのN型MOSTランジスタをP型ウェル、P型埋込層上に形成しているのので、通常のウェルを用いたCMOS構造に対してP型

(A)~(F)

第5図は本発明の他の一実施例装置の断面図、

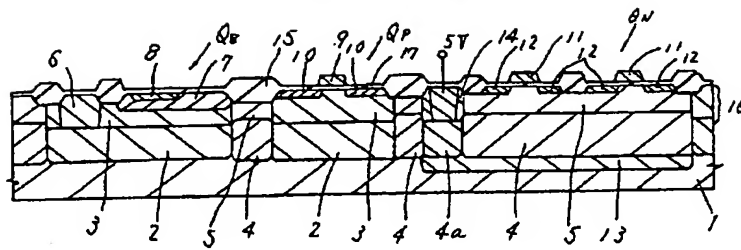
第6図は本発明のさらに他の一実施例装置の断面図、

第7図は本発明のさらに他の一実施例装置の断面図である。

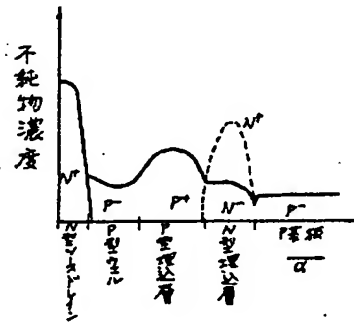
1…P型シリコン基板、2, 2a…(高濃度) N型埋込層、3, 3a…N型ウェル、4…P型埋込層、5…P型ウェル、6…N型コレクタ層、7…P型ベース層、8…N型エミッタ層、9…ゲート、10…P型ソース・ドレイン領域、11…ゲート、12…N型ソース・ドレイン領域、13…(低濃度) N型埋込層、14…N型コンタクト層、15…素子分離用SiO<sub>2</sub>、16…エピタキシャル層、Q<sub>β</sub>…バイポーラトランジスタ、Q<sub>P</sub>…P型MOSTランジスタ、Q<sub>N</sub>…N型MOSTランジスタ(メモリセル)。

代理人 弁理士 小川 勝男

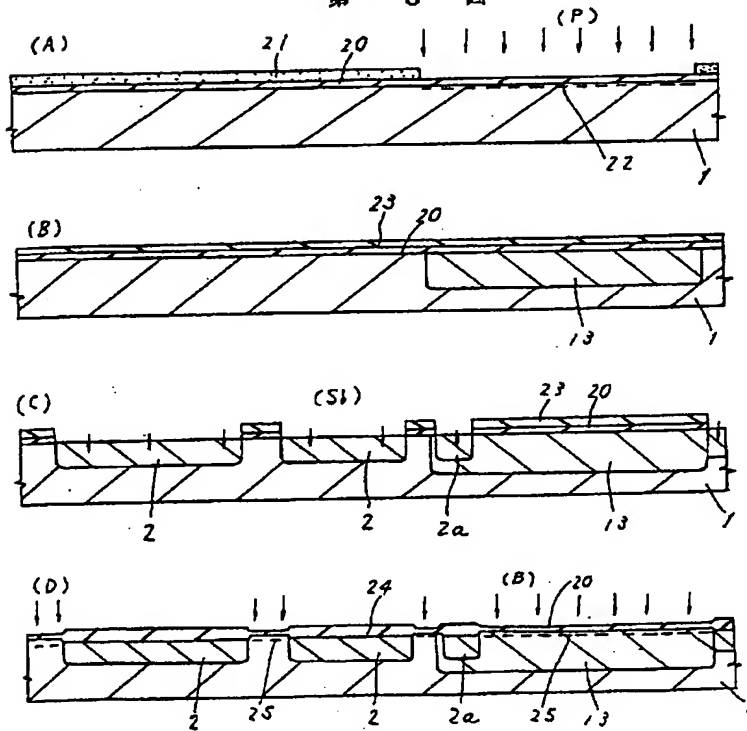
第 1 図



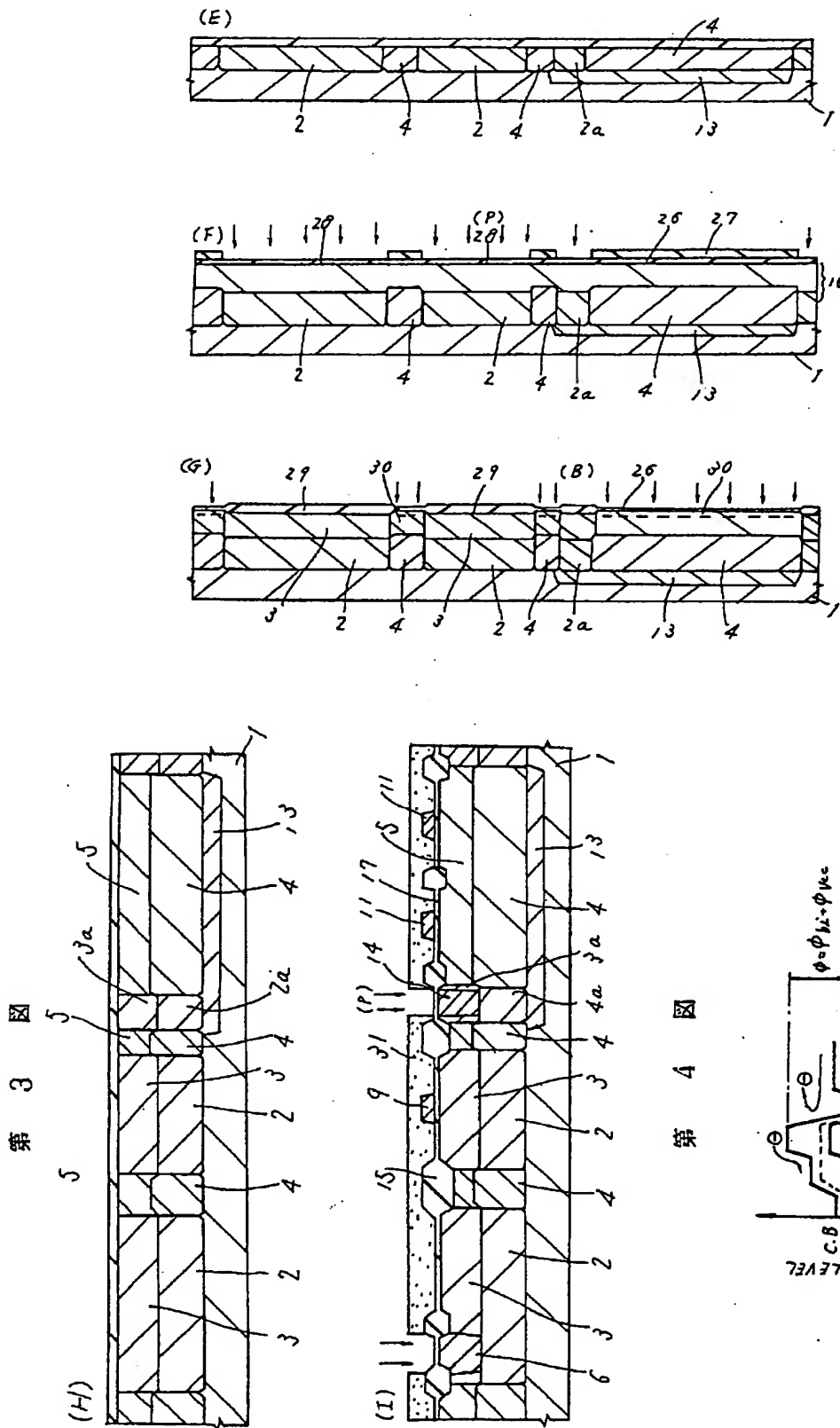
第 2 図



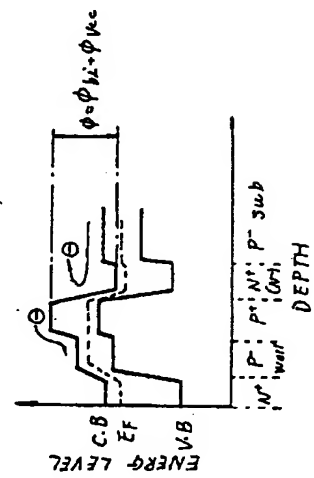
第 3 図



第 3 圖

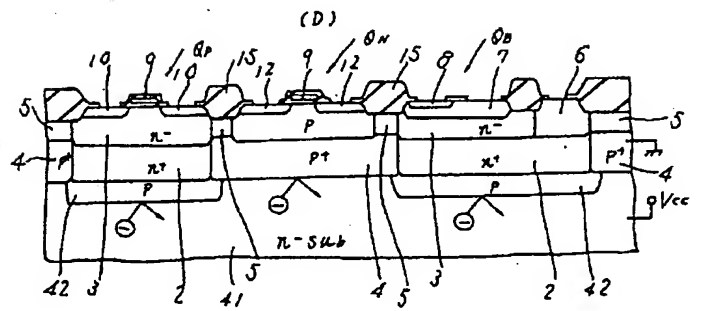
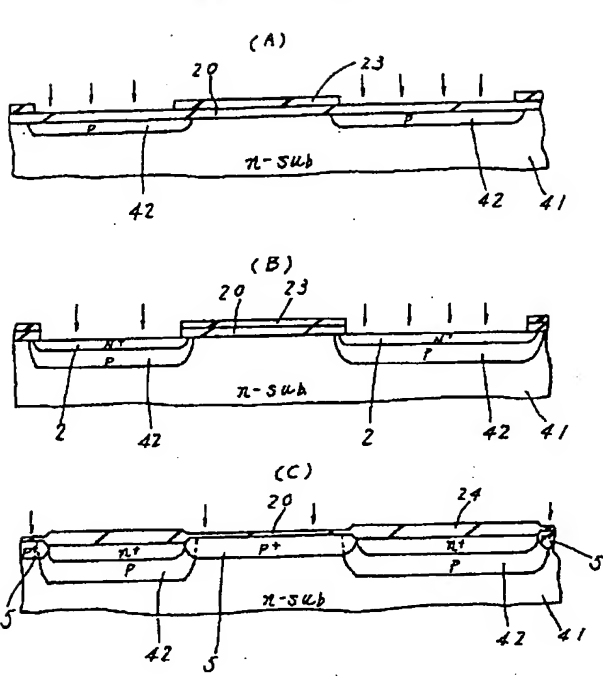


第 4 圖

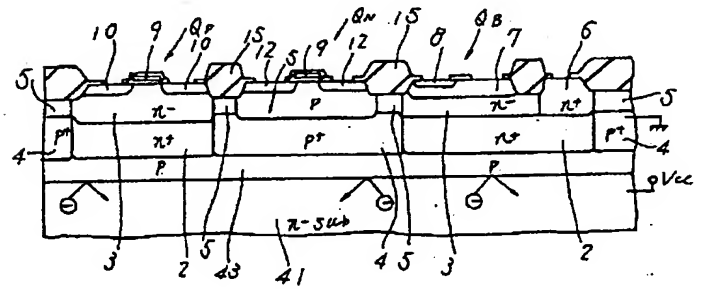




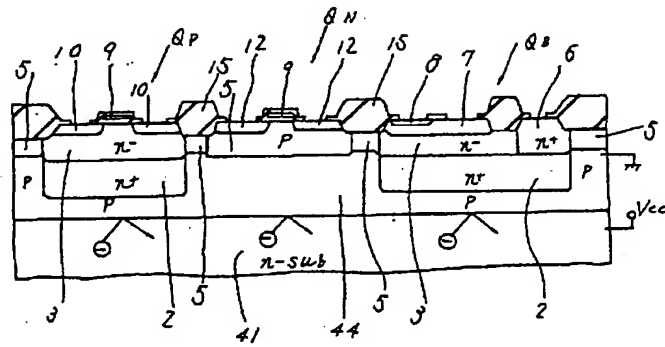
第 5 圖



第 6 圖



第 7 圖



第1頁の続き

⑥Int.Cl.<sup>4</sup>

H 01 L 29/72

識別記号

庁内整理番号

8526-5F

⑦発 明 者 渡 辺 篤 雄 日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑦発 明 者 萩 上 勝 己 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内